

FABRICATION OF MULTI-CHIP IC

Patent Number: JP7086502
Publication date: 1995-03-31
Inventor(s): TAKANO KEIJI; others: 01
Applicant(s): OMRON CORP
Requested Patent: ☐ JP7086502
Application Number: JP19930177240 19930623
Priority Number(s):
IPC Classification: H01L25/18; H01L23/538
EC Classification:
Equivalents: JP3196434B2

Abstract

PURPOSE:To ensure miniature inexpensive multi-chip ICs with the high yield by fabricating a recess in a device positioning substrate with high accuracy.

CONSTITUTION:Semiconductor devices 2, 3, and 4 are mounted in a recess 11 in a device positioning substrate 10, and an insulator is applied to form an insulator layer 6 and a gap between the semiconductor devices 2, 3, 4 and the recess 11 is buried with the insulator layer 6. Further, the surface of the insulator layer 6 is chemically polished to obtain a surface for forming a pattern wiring 8. Wiring holes are formed in the insulator layer 6 to expose external terminals 13 of the semiconductor devices 2, 3, 4 whereafter a resist film is provided on the insulator layer 6 through which an opening is formed for formation of the pattern wiring 8 to yield a negative layer, and thereafter wiring metal is deposited to form the pattern wiring 8. Accordingly, the surface of the pattern wiring 8 is coated with a protective film 7 part of which is opened to form an output terminal 9. Further, the device positioning substrate 10 is removed from the semiconductor devices 2, 3, 4 and a housing is molded integrally with the foregoing components to realize a multi-chip IC with high accuracy.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86502

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.⁶

H 0 1 L 25/18

23/538

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/ 04

審査請求 未請求 請求項の数8 F D (全 7 頁)

(21) 出願番号 特願平5-177240

(22) 出願日 平成5年(1993)6月23日

(71) 出願人 000002945

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72) 発明者 高野 慶二

京都府京都市右京区花園土堂町10番地 オムロン株式会社内

(72) 発明者 武村 賢治

京都府京都市右京区花園土堂町10番地 オムロン株式会社内

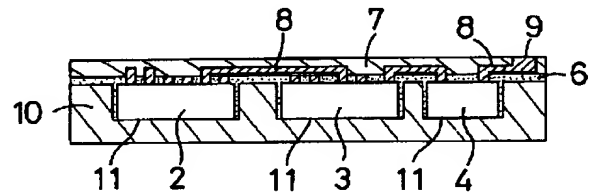
(74) 代理人 弁理士 中野 雅房

(54) 【発明の名称】 マルチチップ I C の製造方法

(57) 【要約】

【目的】 小型で安価なマルチチップ I C を歩留りよく製造する。

【構成】 素子位置決め基板 1 0 の上面には、半導体素子 2, 3, 4 を納めた時にそれらの表面と素子位置決め基板 1 0 の表面とが同一平面となるような深さの凹部 1 1 を形成しておく。まず、素子位置決め基板 1 0 の凹部 1 1 内に各半導体素子 2, 3, 4 を納め、その上に絶縁体層 6 を成膜し、絶縁体層 6 の上にパターン配線 8 を形成して各半導体素子 2, 3, 4 同士を電氣的に接続し、その上を保護膜 7 で覆う。配線部分が出来上がると、素子位置決め基板 1 0 を各半導体素子 2, 3, 4 から取り外し、素子位置決め基板 1 0 で覆われていた部分にエポキシ樹脂等の樹脂材料でハウジング 5 を成形し、マルチチップ I C 1 を完成する。



1

【特許請求の範囲】

【請求項1】 信号処理回路機能やセンシング機能を有する複数の半導体素子を集積化し電気的に接続したマルチチップICの製造方法であって、

素子位置決め基板に形成された複数の凹部内に前記複数の半導体素子をそれぞれ納めて各半導体素子及び素子位置決め基板の表面を均一に揃え、この各半導体素子及び素子位置決め基板の表面に絶縁膜を形成すると共に各半導体素子を電気的に接続し、この後、前記素子位置決め基板を各半導体素子から取り外し、各半導体素子に集積用部材を成形して各半導体素子を集積化することを特徴とするマルチチップICの製造方法。

【請求項2】 前記素子位置決め基板を各半導体素子から取り外した後、半導体素子と熱膨張係数の等しい平坦な半導体プレートやセラミックプレート等のプレート上に各半導体素子載置し、半導体素子間の空間に充填させた成形材料と前記プレートによって前記集積用部材を構成することを特徴とする請求項1に記載のマルチチップICの製造方法。

【請求項3】 前記素子位置決め基板とその凹部内に納められた各半導体素子との表面に前記絶縁膜を形成し、この絶縁膜の上にリフトオフ法やエッチング法によってパターン配線を形成して各半導体素子を電気的に接続することを特徴とする請求項1又は2に記載のマルチチップICの製造方法。

【請求項4】 前記凹部に前記半導体素子を納める前に前記素子位置決め基板の表面に薄膜を形成しておき、各半導体素子及び素子位置決め基板の表面に絶縁膜を形成すると共に各半導体素子を電気的に接続した後、前記薄膜を除去することによって前記素子位置決め基板を各半導体素子から切り離すことを特徴とする請求項1、2又は3に記載のマルチチップICの製造方法。

【請求項5】 前記集積用部材の少なくとも1つの半導体素子に対応する箇所に開口部を設けたことを特徴とする請求項1、2、3又は4に記載のマルチチップICの製造方法。

【請求項6】 信号処理回路機能やセンシング機能を有する複数の半導体素子を集積化し電気的に接続したマルチチップICの製造方法であって、

素子位置決め母基板に形成された複数の凹部内に複数の半導体素子をそれぞれ納めて各半導体素子及び素子位置決め母基板の表面を均一に揃え、この各半導体素子及び素子位置決め母基板の表面に絶縁膜を形成すると共に各半導体素子を電気的に接続し、この後、前記素子位置決め母基板を各半導体素子から取り外し、各半導体素子に集積用部材を成形して複数のマルチチップICを集積化したマルチチップIC集合体を作製し、ついでマルチチップIC集合体を個々のマルチチップICに分割することを特徴とするマルチチップICの製造方法。

【請求項7】 前記半導体素子が、信号処理回路素子、

2

増幅回路素子、演算処理回路素子および伝送回路素子のように機能的なまとまりを有する複数の素子であることを特徴とする請求項1、2、3、4、5又は6に記載のマルチチップICの製造方法。

【請求項8】 前記複数の半導体素子が、計測対象物を電気的物理量に変換する検出器、検出器の出力を電気的に変換する処理回路チップおよび電気的物理量を出力する回路チップであることを特徴とする請求項1、2、3、4、5又は6に記載のマルチチップICの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の半導体素子成形によって集積化したマルチチップICの製造方法に関する。具体的にいうと、情報処理機器や家庭電化製品に用いられるICチップや半導体物理量センサ等の半導体素子を集積化してチップ化したマルチチップICの製造方法に関する。

【0002】

【従来の技術とその問題点】ベアチップICを高密度実装する方法としては、ワイヤボンディング法からTAB（Tape Automated Bonding）実装技術やフリップチップボンディング法などに移行しつつあるが、高密度実装化がさらに進むと、回路基板の配線ピッチも次第に狭小化すると、ところが、回路基板の配線ピッチが狭くなると、それに従って配線間にハンダブリッジ等を生じさせることなくハンダ付けを行なうことが困難になり、製品歩留りが低下する。さらに、配線パターンのピッチにも限度があり、0.1mm以下のピッチで配線パターンを作製することが難しかった。さらに、回路基板は通常PCB等の材質によって作製されたものが用いられるが、ベアチップICの材料であるシリコンとの熱膨張係数の差が大きいため、環境変化による熱疲労などを生じ易く、特にハンダ接合部にクラックが発生し易かった。

【0003】また、ICを高集積化する方法としては、複数個分のICを大規模集積回路化してワンチップにする方法があるが、回路が大規模化すると一部の欠陥によって全体が不良となるために歩留りの低下を免れず、回路基板等への実装も難しくなるという問題がある。また、多くの回路が1つにまとめられる結果、特定用途向けのICチップとして用いられることになりがちで、汎用性が低下し、種々のICを作製する毎にチップ設計が必要になるという欠点があった。

【0004】一方、複数個のベアチップICを集積化してマルチチップICを作製する方法として、半導体基板に凹部を形成し、この半導体基板の凹部内に各ベアチップICを埋め込み、その上に配線を施して半導体基板と各ベアチップICをそのまま一体化してマルチチップICとする方法も考えられている。しかし、この方法では、半導体基板に凹部を形成する工程が複雑となってい

た。また、各ベアチップICの表面を平らにするためには、凹部の深さも均一にする必要があるが、凹部の深さ精度を出すことが困難であった。

【0005】

【発明が解決しようとする課題】本発明は叙上の従来例の欠点に鑑みてなされたものであり、その目的とするところは、小型で安価なマルチチップICを歩留りよく製造する方法を提供することにある。

【0006】

【課題を解決するための手段】本発明によるマルチチップICの製造方法は、信号処理回路機能やセンシング機能を有する複数の半導体素子を集積化し電気的に接続したマルチチップICの製造方法であって、素子位置決め基板に形成された複数の凹部内に前記複数の半導体素子をそれぞれ納めて各半導体素子及び素子位置決め基板の表面を均一に揃え、この各半導体素子及び素子位置決め基板の表面に絶縁膜を形成すると共に各半導体素子を電気的に接続し、この後、前記素子位置決め基板を各半導体素子から取り外し、各半導体素子に集積用部材を成形して各半導体素子を集積化することを特徴としている。

【0007】上記製造方法においては、前記素子位置決め基板を各半導体素子から取り外した後、半導体素子と熱膨張係数の等しい平坦な半導体プレートやセラミックプレート等のプレート上に各半導体素子を載置し、半導体素子間の空間に充填させた成形材料と前記プレートによって前記集積用部材を構成してもよい。

【0008】さらに、前記素子位置決め基板とその凹部内に納められた各半導体素子との表面に前記絶縁膜を形成し、この絶縁膜の上にリフトオフ法やエッチング法によってパターン配線を形成して各半導体素子を電気的に接続してもよい。

【0009】さらに、前記凹部に前記半導体素子を納める前に前記素子位置決め基板の表面に薄膜を形成しておき、各半導体素子及び素子位置決め基板の表面に絶縁膜を形成すると共に各半導体素子を電気的に接続した後、前記薄膜を除去することによって前記素子位置決め基板を各半導体素子から切り離すようにしてもよい。

【0010】さらに、前記集積用部材の少なくとも1つの半導体素子に対応する箇所に開口部を設けてもよい。

【0011】また、本発明によるマルチチップICの製造方法は、信号処理回路機能やセンシング機能を有する複数の半導体素子を集積化し電気的に接続したマルチチップICの製造方法であって、素子位置決め母基板に形成された複数組の凹部内に複数組の半導体素子をそれぞれ納めて各半導体素子及び素子位置決め母基板の表面を均一に揃え、この各半導体素子及び素子位置決め母基板の表面に絶縁膜を形成すると共に各半導体素子を電気的に接続し、この後、前記素子位置決め母基板を各半導体素子から取り外し、各半導体素子に集積用部材を成形して複数個のマルチチップICを集積化したマルチチップ

IC集合体を作製し、ついでマルチチップIC集合体を個々のマルチチップICに分割することを特徴としている。

【0012】上記各製造方法においては、前記半導体素子が、信号処理回路素子、増幅回路素子、演算処理回路素子および伝送回路素子のように機能的なまとまりを有する複数の素子であってもよい。あるいは、前記複数の半導体素子が、計測対象物を電気的物理量に変換する検出器、検出器の出力を電気的に変換する処理回路チップおよび電気的物理量を出力する回路チップであってもよい。

【0013】

【作用】本発明にあつては、素子位置決め基板を用いて複数の半導体素子を位置決めし、その状態で各半導体素子に配線部分を形成した後、素子位置決め基板を半導体素子から取り外してハウジングを成形することによって各半導体素子を集積化している。従つて、素子位置決め基板の凹部を精度良く製作しておくことにより、各半導体素子の表面を平らに揃えて位置決めし、配線部分を製作することができ、精度良くマルチチップICを製作することができる。しかも、この精度の要求される素子位置決め基板は半導体素子から取り外して繰り返し使用することができるので、マルチチップICを安価に製作することが可能になる。

【0014】また、ベアチップ状態の半導体素子を集積化することができるので、半導体素子間の間隔を小さくでき、ワンチップのICのように高集積化と高密度化が可能である。しかも、各種の半導体素子を配置し、その素子構成に合った配線パターンのみを設計すればよいので、汎用化を高めることができると共に、ワンチップ化したICに比べて開発時間の短縮を図ることができる。

【0015】さらに、複数の半導体素子を集積化してマルチチップICを構成しているので、集積化する前に各半導体素子の特性を検査して実装することができ、ワンチップICに比べて製品歩留りを向上させることができ、コストダウンを図ることができる。

【0016】また、複数の半導体素子を素子位置決め基板の凹所に納め、全ての半導体素子に対して配線部分を一括して形成することができるので、ハンダ付け作業やワイヤボンディングすることが不要になり、超小型のマルチチップICを量産することが可能になる。しかも、従来のTAB実装技術やフリップチップボンディング法に比べて配線長や接続長さを極端に短くできるので、電気的特性も著しく向上させることができる。

【0017】

【実施例】図1は本発明の一実施例によるマルチチップICを示す斜視図である。但し、パターン配線は保護膜に覆われており、実際には外部から見えないが、便宜上表面にパターン配線を表わしている。このマルチチップIC1は、用途に応じた電気的回路機能やセンシング機

10

20

30

40

50

5

能を有する複数の半導体素子（ベアチップ）2, 3, 4を有しており、これらの半導体素子2, 3, 4はハウジング（集積用部材）5によって集積一体化されている。また、半導体素子2, 3, 4及びハウジング5の表面には絶縁体層6、保護膜7や各半導体素子2, 3, 4を電気的に接続するパターン配線8や出力端子9が形成されている。

【0018】このようなマルチチップIC1の例としては、例えばモータ駆動用ICが考えられる。この場合には、PWM（パルス幅変調）回路2a、PLL（フェーズ・ロックド・ループ）回路2b及びセンサコントローラ2cからなるモータコントローラを半導体素子2とし、3相ドライバ回路3a, 3b, 3cを構成されたICチップを半導体素子3とし、電源回路4a及びインターフェース回路4bを構成されたICチップを半導体素子4とすればよい。このような構成のマルチチップIC1は、複数の半導体素子2, 3, 4を集積一体化して構成されているので、2相駆動モータ、3相駆動モータ、交流電源用モータ、直流電源用モータ等の種々のモータに対し、いずれかの半導体素子2, 3, 4を各用途に応じたものに置き換えることで対応することができる。別な例としては、計測対象物の物理量（圧力、加速度、速度、温度、湿度など）を検出するためのセンサ、例えば加速度センサの場合では、半導体素子2にX軸方向、Y軸方向及びZ軸方向の各加速度感知ユニット2a, 2b, 2cを構成し、半導体素子3に各感知ユニット2a, 2b, 2cの信号処理回路3a, 3b, 3cを構成し、信号処理回路3a, 3b, 3cの各信号から必要な情報を判断する回路4aと外部に伝送する回路4bを半導体素子4に構成することができる。また、このようなマルチチップIC1は、他の家電製品等の制御部向けにも適用することができる。また、搭載する半導体素子の素子数は3個に限るものでなく任意であって、例えば半導体素子として、信号処理回路素子、増幅回路素子、演算処理回路素子および伝送回路素子を搭載してもよい。

【0019】図2は上記のようなマルチチップIC1を製造するための方法を示す断面図、図3は図2の一部破断した拡大断面図である。10は各半導体素子2, 3, 4を納めるための凹部11を上面に形成された素子位置決め基板であって、セラミック基板や金属金型等の精度の得やすい材質によって形成されている。また、各半導体素子2, 3, 4の上面はパッシベーション膜12によって覆われており、所定位置には外部端子13が形成されている。素子位置決め基板10に形成されている凹部11の深さは、凹部11内に半導体素子2, 3, 4を納めた時、図3に示すように各半導体素子2, 3, 4の表面（つまり、パッシベーション膜12及び外部端子13の表面）と素子位置決め基板10の表面とが同一平面上となるようにしている。しかし、各半導体素子2, 3, 4を集積化してマルチチップIC1を製作するに

6

は、まず、この素子位置決め基板10の凹部11内に各半導体素子2, 3, 4を搭載し、ポリイミド等の絶縁体を塗布して半導体素子2, 3, 4及び素子位置決め基板10に表面が均一になるように絶縁体層6を成膜すると共に半導体素子2, 3, 4と凹部11との隙間を絶縁体層6によって埋める。つぎに、ケミカルメカニカルポリッシュ（CMP）法によって絶縁体層6の表面を化学研削し、パターン配線8を形成するための表面を得る。ついで、フォトリソグラフィ法により絶縁体層6に配線用孔14を開孔して当該配線用孔14から半導体素子2, 3, 4の各外部端子13を露出させる。つぎに、絶縁体層6の上にレジスト膜（図示せず）を設け、X線リソグラフィ法によってレジスト膜にパターン配線8を形成するための開口部をあけてネガティブ層とした後、この上にメッキ、蒸着あるいはスパッタなどによってアルミニウムや合金等の配線用金属を析出させ、リフトオフ法によってパターン配線8を形成する。あるいは、絶縁体層6の上に銅箔を接着した後、銅箔をエッチングすることによってパターン配線8を形成してもよい。この結果、配線用孔14を通してパターン配線8が外部端子13に接続され、またパターン配線8によって各半導体素子2, 3, 4が電気的に接続される。この場合、一度に配線を行なえない場合には、多層に絶縁体層6を形成することにより、パターン配線8も多層配線としても良い。こうして所望のパターン配線8が形成されると、パターン配線8の上から絶縁体6の表面をSiN等の保護膜7でコーティングし、保護膜7の一部を開孔してパターン配線8の端部を露出させ、パターン配線8と接続するようにして保護膜7の開孔内に出力端子9を形成する。こうして配線部分が出来上がると、素子位置決め基板10を各半導体素子2, 3, 4から取り外し、製造工程において素子位置決め基板10で覆われていた部分にエポキシ樹脂等の樹脂材料でハウジング5を成形し、各半導体素子2, 3, 4及び配線部分を一体化し、図1のようなマルチチップIC1を完成する。

【0020】図4は本発明によるマルチチップIC1の別な製造方法を示す斜視図である。これは図1のようなマルチチップIC1を複数個一度に製作するための方法であって、15は図2中の素子位置決め基板10に形成されている1組の凹部11と同様な凹部11を複数組例えばマトリックス状に配置した素子位置決め母基板15である。そして、対応する半導体素子2, 3, 4を各凹部11に納めた後、図2の実施例と同様にして、半導体素子2, 3, 4及び素子位置決め母基板15の全体にわたって、その表面に絶縁体層6やパターン配線8、保護膜7などを形成する。これによって複数個分のマルチチップIC1に対して、絶縁体層6やパターン配線8、保護膜7等を形成する工程を1度に施すことができる。ついで、素子位置決め母基板15を各半導体素子2, 3, 4から取り外し、絶縁体層6等の配線部分によって一体

となっている複数組の半導体素子2, 3, 4にハウジング5を一度に成形する。こうして、複数個分のマルチチップIC1を形成した後、カッティングライン16に沿ってダイシングソーなどによって各マルチチップIC1毎に1つ1つ切り離し、単体のマルチチップIC1を複数個一度に製作する。なお、図4では、1個分のマルチチップIC1を斜線を施して示している。

【0021】図5は本発明のさらに別な実施例であって、マルチチップIC1のハウジング5だけを分離して示している。この成形品であるハウジング5は、半導体素子2, 3, 4の位置している部分（半導体素子2, 3, 4がインサートされている図5の凹部11a）のうち適当な箇所に貫通孔17を設けている。半導体素子2, 3, 4としてMOSFETなどのパワーデバイスを用いる場合には、その半導体素子2, 3, 4に対応する部分でハウジング5に貫通孔17をあけておけば、その貫通孔17を通して半導体素子2, 3, 4の熱を放熱させることができる。特に、この貫通孔17に放熱特性のよい銅やアルミニウム等の金属を埋め込んだり、大きな放熱面積を有するヒートシンクを取り付けたりすれば、さらに放熱効果を上げることが可能になる。また、半導体素子2, 3, 4として圧力や温度、湿度等の物理量を検出するための物理量検出センサを用いる場合には、その半導体素子2, 3, 4に対応する部分に貫通孔17を設けることにより、センサである半導体素子2, 3, 4へ計測対象物を導入するために外界とつなぐ開口として貫通孔17を利用することができる。

【0022】図6は本発明のさらに別な実施例によるマルチチップIC18の製造方法を示す断面図である。19は半導体素子2, 3, 4とほぼ等しい熱膨張係数（線膨張係数）を持つシリコン基板やセラミック基板等の平坦なプレートである。この製造方法にあっては、素子位置決め基板10を用いて半導体素子2, 3, 4の上面に絶縁体層6やパターン配線8等からなる配線部分を形成し、半導体素子2, 3, 4から素子位置決め基板10を取り除いた後、この配線部分を形成された半導体素子2, 3, 4をプレート19の上に載置し、半導体素子2, 3, 4の間の空間に熱応力が発生しにくいシリコン樹脂などの成形樹脂20を充填し、プレート19と成形樹脂20によってハウジング5を形成し、マルチチップIC1を完成している。

【0023】シリコン基板やセラミック基板等のプレート19によってハウジング5を形成しようとするれば、プレート19の上面に半導体素子2, 3, 4を納めるための凹部を形成する必要があり、そのためにはプレート19を異方性エッチング等によって長時間掛けて深く掘る必要があり、コストが高くついたり、工程所要時間が長くなったりするという問題がある。これに対し、この実施例のように平坦なプレート19の上に半導体素子2, 3, 4を載せ、半導体素子2, 3, 4間に成形樹脂20

を充填する方法によれば、半導体素子2, 3, 4と同等な熱膨張率を有するシリコン基板やセラミック基板等のプレート19を用いた場合でも、プレート19を加工する必要がなく、簡単かつ安価にマルチチップIC1を製作することができる。

【0024】図7は本発明のさらに別な実施例によるマルチチップICの製造方法を示す断面図である。この方法にあっては、素子位置決め基板10の凹部11を除く表面全体にレジスト膜21を形成している。この後、素子位置決め基板10の凹部11内に各半導体素子2, 3, 4を納め、ついで各半導体素子2, 3, 4及び素子位置決め基板10の上に絶縁体層6を形成し、その上にパターン配線8を形成し、その上に保護膜7を形成している。但し、素子位置決め基板10の表面に形成したレジスト膜21と、パターン配線8を形成する際に用いるレジスト膜とはエッチング性の異なるものとしている。

【0025】素子位置決め基板10に各半導体素子2, 3, 4を配置してその上に配線部分を形成する際、図7のような構造とすれば、素子位置決め基板10の取り外し時にはエッチング等によって素子位置決め基板10の上のレジスト膜21だけを除去しないし剥離させれば、素子位置決め基板10と各半導体素子2, 3, 4及び配線部分との分離を容易に行なわせることができる。

【0026】

【発明の効果】本発明によれば、複数の半導体素子を素子位置決め基板の凹部内に納めて位置決めするようにしたので、素子位置決め基板の凹部を精度良く製作しておくことにより、各半導体素子の表面を平らに揃えて位置決めし、配線部分を製作することができ、精度良くマルチチップICを製作することができる。しかも、この精度の要求される素子位置決め基板は半導体素子から取り外して繰り返し使用することができるので、マルチチップICを安価に製作することが可能になる。

【0027】また、ベアチップ状態の半導体素子を集積化することができるので、半導体素子間の間隔を小さくでき、ワンチップのICのように高集積化と高密度化が可能である。しかも、各種の半導体素子を配置し、その素子構成に合った配線パターンのみを設計すればよいので、汎用化を高めることができると共に、ワンチップ化したICに比べて開発時間の短縮を図ることができる。

【0028】さらに、複数の半導体素子を集積化してマルチチップICを構成しているので、集積化する前に各半導体素子の特性を検査して実装することができ、ワンチップICに比べて製品歩留りを向上させることができ、コストダウンを図ることができる。

【0029】また、複数の半導体素子を素子位置決め基板の凹所に納め、全ての半導体素子に対して配線部分を一括して形成することができるので、ハンダ付け作業やワイヤボンディングすることが不要になり、超小型のマルチチップICを量産することが可能になる。しかも、

従来のTAB実装技術やフリップチップボンディング法に比べて配線長や接続長さを極端に短くできるので、電気的特性も著しく向上させることができる。

【0030】さらに、本発明の別な製造方法においては、半導体素子と熱膨張係数の等しい平坦な半導体プレートやセラミックプレート等のプレート上に各半導体素子を載置し、半導体素子間の空間に充填させた成形材料と前記プレートによって集積用部材を構成しているので、プレートに半導体素子を納めるための凹部を設ける必要がなく、簡単かつ安価にマルチチップICを製作できる。しかも、半導体素子とプレートとの熱膨張係数が等しいから温度変化によって半導体素子とプレートとが剥離する恐れも少ない。

【0031】また、素子位置決め基板の表面に薄膜を形成しておき、薄膜を除去することによって素子位置決め基板を各半導体素子から切り離すようにすれば、素子位置決め基板を半導体素子から容易に取り外すことができ、マルチチップICの製造工程をより容易にできる。

【0032】さらに、前記集積用部材の少なくとも1つの半導体素子に対応する箇所を開口部を設ければ、この開口部を通して半導体素子の冷却効率を向上させたり、開口部を通してセンシング機能を有する半導体素子へ検知対象物を導いたりすることができる。

【0033】また、本発明のさらに別な製造方法においては、素子位置決め母基板を用いて複数個分のマルチチップICを一度に製作するようにしているので、マルチ*

*チップICの製造効率をさらに高めることができ、製造コストを安価にすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例によるマルチチップICを示す斜視図である。

【図2】同上のマルチチップICの製造方法を示す断面図である。

【図3】図2の一部破断した拡大断面図である。

【図4】本発明の別な実施例によるマルチチップICの製造方法を示す斜視図である。

【図5】本発明のさらに別な実施例によるマルチチップICのハウジングを示す斜視図である。

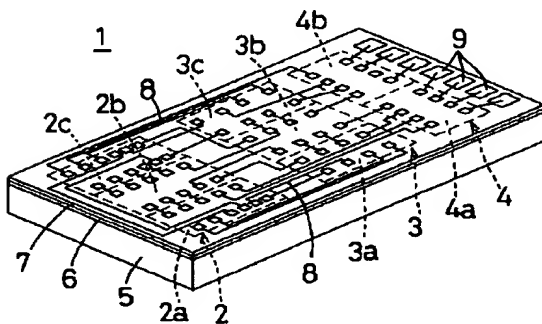
【図6】本発明のさらに別な実施例によるマルチチップICの製造方法を示す断面図である。

【図7】本発明のさらに別な実施例によるマルチチップICの製造方法を示す断面図である。

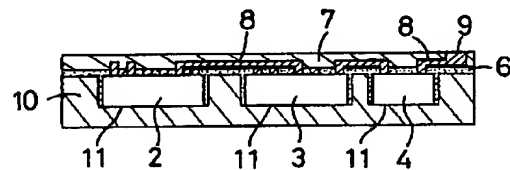
【符号の説明】

- 1 マルチチップIC
- 2, 3, 4 半導体素子
- 5 ハウジング
- 8 パターン配線
- 10 素子位置決め基板
- 11 凹部
- 19 プレート
- 20 成形樹脂
- 21 レジスト膜

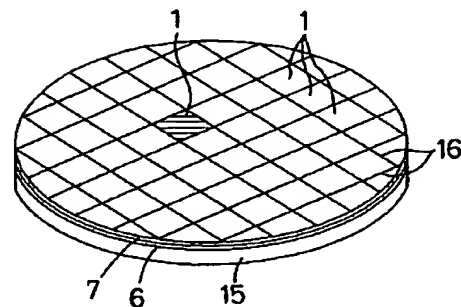
【図1】



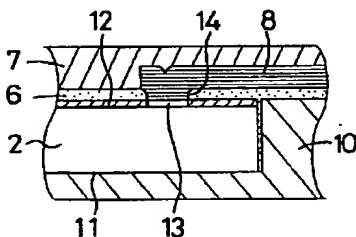
【図2】



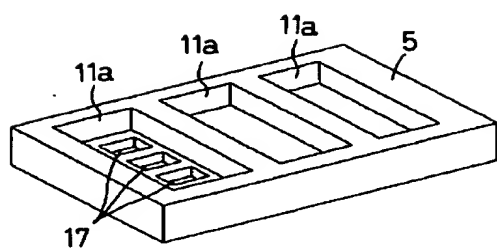
【図4】



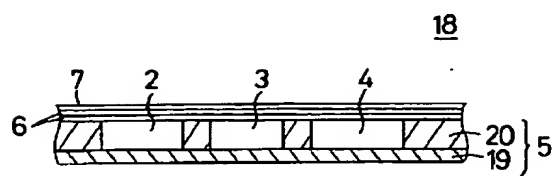
【図3】



【図5】



【図6】



【図7】

